



张昊懿

15596761720 | hy.zhang@stu.pku.edu.cn

教育经历

北京大学

电子设计自动化与计算系统 博士 集成电路学院 全日制
GPA: 3.66/4.00

2022年09月 - 2027年06月
北京

荣誉奖励：**国家奖学金(2024)**、北京大学三好学生(2024)、
北京大学集成电路学院华为奖学金一等奖(2023)、北京大学优秀科研奖(2023)

北京航空航天大学 985 双一流

微电子科学与工程 本科 集成电路科学与工程学院 全日制
GPA: 3.75/4.00

2018年09月 - 2022年06月
北京

荣誉奖项：**校级优秀毕业生、一等奖学金（前8%）**、校级三好学生

实习经历

字节跳动--筋斗云计划

芯片物理设计

2025年04月 - 2026年02月
北京

基于 AI 建模Standard Cell版图性能的 DTCO 优化技术：参与面向先进制程节点的 Standard Cell 级 DTCO 优化技术研究，从定制单元设计（晶体管尺寸、折叠结构、Pin Access、Routing 拓扑）出发，联合优化单元的 Delay / Power / Area (PPA) 构建多驱动强度、多版图结构的标准单元扩展库，覆盖 NAND / NOR / AOI / OAI / XOR 等 300+ 单元，支撑 Cell 级 Design Space Exploration (DSE) 针对“不同 Layout → 不同性能，不同 Timing Arc → 不同设计目标”的 DTCO 核心问题，构建：以 Netlist + GDSII 版图为输入的 AI 标准单元 PPA 建模框架用 Graph Transformer Network 显式建模晶体管连接关系与版图寄生相关性以 AI 快速预测 Timing Delay / Transition / Leakage / Internal Power，替代传统：StarRC + SPICE + Liberty 表征流程实现 PPA 评估从百小时级加速至分钟级

微软亚洲研究院

研究岗 Machine Learning组

2024年04月 - 2024年09月
北京

基于大语言模型的模拟电路前端网表自动生成研究：面向真实可仿真的模拟电路拓扑综合问题。针对传统方法依赖理想模型、难以覆盖工程设计空间的问题，我们将拓扑综合建模为“结构化设计需求到子电路级 SPICE 网表”的条件生成任务，引入差分对、电流镜、Cascode、共源级等工程子电路模块，并通过 Chain-of-Thought 推理模拟人类设计流程，逐步完成模块选择与连接构建；同时结合基于人工设计经验的自动 Proofreading 机制，对模块类型与端口连接进行规则校验并多轮修正，显著提升生成正确率。最终在真实工业电路与大规模合成数据集上验证了方法的有效性，相比 GPT-4o 和 AnalogCoder 取得显著性能提升，证明了 LLM 与模拟电路设计经验融合用于自动化拓扑生成的工程可行性。

华为技术有限公司（海思-图灵）

开发岗

2023年07月 - 2023年09月
上海

探索并开发了基于 SMT (Satisfiability Modulo Theories) 的数字标准单元版图自动化生成方法：基于开源 C++ 求解器 Z3 实现标准单元布局与布线约束建模，复现并验证了 Probe 框架在单元级自动化版图生成中的可行性。通过将晶体管放置、对齐、连线拓扑及 DRC 规则转化为可求解的逻辑约束，实现了从电路结构到合法标准单元版图的自动生成流程，为单元库自动化设计提供了一种基于形式化约束求解的有效范式。

概伦电子科技（上海）有限公司

开发岗

2022年07月 - 2023年01月
北京

主导基于 C++ 的模拟布线引擎 SAGERoute 的工程级开发与落地：将其多几何/电学约束协同建模能力完整嵌入公司 Nanospice 仿真工具链，实现 Analog Routing 在真实工业环境中的集成与应用；同时参与基于 C++ 的 Custom Design 数字布线工具开发，针对非标准规则与非规则版图结构，构建适配自定义电路设计流程的 Digital Routing 机制，提升混合信号与定制电路的自动化布线能力。

学术成果：论文发表

Computing-In-Memory & Circuit Design

1. **HaoyiZhang**, Jiahao Song, etc. "EasyACiM: An End-to-End Automated Analog CIM with Synthesizable Architecture and Agile Design Space Exploration" (DAC2024)

2. HaikangDiao*, **HaoyiZhang***, "SEGA-DCIM: Design Space Exploration-Guided Automatic Digital CIM Compiler with MultiplePrecision Support". (DATE2025, co-first-author)

3. JiahaoSong, XiyuanTang, HaoyangLuo, **HaoyiZhang**, XinQiao. "A Calibration-Free 15-level/Cell eDRAM Computing-in-Memory Macro with 3T1C Current-Programmed Dynamic-Cascoded MLC achieving 233-to-304-TOPS/W 4b MAC." (CICC 2023)

4. JiahaoSong, XiyuanTang, HaoyangLuo, **HaoyiZhang**, XinQiao. "A 4-bit Calibration-Free Computing-In-Memory Macro With 3T1C Current-Programed Dynamic-Cascade Multi-Level-Cell eDRAM." (JSSC 2023)

5. **HaoyiZhang**, Jiahao Song, etc. "A 266F2 Ultra Stable Differential NOR-Structured Physically Unclonable Function with $< 6 \times 10^{-9}$ Bit Error Rate Through Efficient Redundancy Strategy", (TCAS-II 2024)

AI & LLM for EDA

1. **HaoyiZhang**, Weijian Fan, etc. "PANDA: An LLM-Enhanced Performance-Driven Analog Design Framework Bridging Design Intent and Layout Generation" (DAC2026)

2. **HaoyiZhang**, Kairong Guo, Bojie Zhang, etc. "FusionCell: Cross-Attentive Fusion of Layout Geometry and Netlist Topology for Standard-Cell Performance Prediction" (ICML2026)

3. **HaoyiZhang**, ShizhaoSun, etc. "AnalogXpert: Automating Analog Topology Synthesis by Incorporating Circuit Design Expertise into Large Language Models". (ISEDA2025)

4. **HaoyiZhang***, JiechenHuang*, etc. "APEC-Route: Guiding Analog Routing with On-the-Fly Parasitic Extraction Based on Neural Capacitance Model". (TODAES26, under review)

5. WeijianFan*, **HaoyiZhang***, etc. "AMSHBO: Multi-Stage Hierarchical Bayesian Optimization for Substructure-Aware High-Dimensional Analog Circuit Sizing". (ASP-DAC26)

6. Bingyang Liu*, **HaoyiZhang***, etc. "LayoutCopilot: An LLM-powered Multi-agent Collaborative Framework for Interactive Analog Layout Design", (TCAD2025, co-first-author)

7. Wenbo Ant, Kairong Guot, **Haoyi Zhang**, etc. "EPiCell: Electro-Physical Co-Modeling for Standard Cell PPA Prediction". (DAC2026)

8. Bingyang Liu, **HaoyiZhang**, etc. "LayoutCopilot: LLM-Empowered Analog Layout Design towards Enhanced Human-Machine Interaction" (ISCAS2025)

9. LeiChen, Yiqi Chen, Zhufei Chu, etc. (Haoyi Zhang, co-author), "The dawn of ai-native eda: Promises and challenges of large circuit models", (Science China 2024)

Traditional EDA

1. **HaoyiZhang***, XiaohanGao*, HaoyangLuo, etc. "SAGERoute: Synergistic Analog Routing Considering Geometric and Electrical Constraints with Manual Design Compatibility". (DATE2023 Best Paper Award)

2. **HaoyiZhang**, XiaohanGao, etc. "SAGERoute 2.0: Hierarchical Analog and Mixed Signal Routing Considering Versatile Routing Scenarios" (DATE2024)

3. XiaohanGao*, **HaoyiZhang***, MingjieLiu, etc. Interactive Analog Layout Editing with Instant Placement and Routing Legalization, (TCAD2022, co-first-author)

4. Xiaohan Gao, **HaoyiZhang**, etc. "Joint Placement Optimization for Hierarchical Analog/Mixed-Signal Circuits", (ICCAD2024)

5. KairongGuo, XiaohanGao, **HaoyiZhang**, etc. "Exploring Better Intra-Cell Routability for Layout Synthesis of Multi-Row Standard Cells" (ASP-DAC2025)

学术成果：专利授权

1. 一种多驱动能力的集成电路标准单元版图迁移的方法，申请日期：2023.02.06，公开号：CN115859899B，发明人：林亦波，高笑涵，**张昊懿**，王润声，黄如

2. 可处理电学和几何约束的模拟电路布线自动化方法及系统，申请日期：2022.11.15，公开号：CN115496030B，发明人：林亦波，高笑涵，**张昊懿**，王润声，黄如

3. 一种用于模拟电路版图布线的交互式编辑方法及工具，申请日期：2022.01.13，公开号：CN114510900B，发明人：林亦波，**张昊懿**，高笑涵，王润声，黄如

竞赛奖项

北京大学电子设计自动化系产业贡献奖(全系仅两人/年)	2023
EDA设计精英挑战赛华大九天企业特别奖	2021
EDA设计精英挑战赛全国二等奖	2021&2022

技能/证书及其他

- **技能**：C++、Python、Pytorch框架，Virtuoso，Innovus